



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2004007247 A**(43) Date of publication of application: **08.01.04**

(51) Int. Cl.

**H04N 9/78**(21) Application number: **2002160295**(71) Applicant: **VICTOR CO OF JAPAN LTD**(22) Date of filing: **31.05.02**(72) Inventor: **OGAWA HIDEAKI**(54) **YC SEPARATION CIRCUIT**

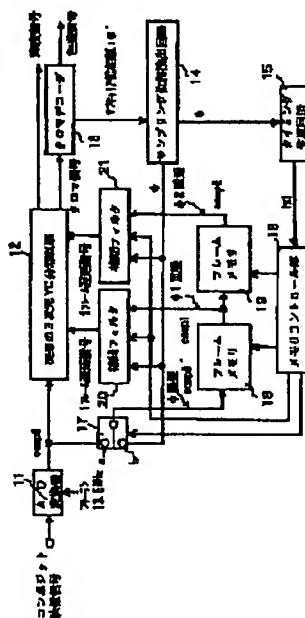
generated by a free run.

(57) Abstract

COPYRIGHT: (C)2004,JPO

**PROBLEM TO BE SOLVED:** To solve the following problem that accurate YC separation cannot be performed, when a clock which is not phase-synchronized with the burst signal of an input composite video signal is used.

**SOLUTION:** A movement-adaptive three-dimensional YC separation circuit performs YC separation adaptively according to the movement of an image. The circuit performs control of one-frame delay and two-frame delay, dividing it into delay control by the unit of one clock and the delay control (phase correction) less than one clock, and performs (1) delay control by the unit of one clock by frame memory control using an hd signal generated on the basis of the subcarrier phase of an input signal; and (2) phase compensation less than one clock by interpolation filters 20, 21 based on the results of sampling phase detection of the input signal, a one-frame delay signal, and a two-frame delay signal. Consequently, a one-frame delay signal and a two-frame delay signal phase-synchronized with the input composite video signal can be generated, even if the clock is



(19)日本特許庁(PP)

(12)公開特許公報(A)

(11)特許出願公開番号  
特願2004-7247  
(P2004-7247A)  
(43)公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. H04N 9/78	F1 H04N 9/78	A 5C066	テーマコード(参考) 5C066
審査請求 未請求 請求項の枚数 1 O L (全 11 頁)			
(21) 出願番号 (22) 出願日	特願2002-169285 (P2002-169285) 平成14年5月31日(2002.5.31)	(71) 出願人 000004329 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地 (74) 代理人 100055235 井理士 松浦 義行 (72) 発明者 尾川 英明 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内 Fターム(参考) SC066 A03 BA02 CA11 CA17 DA08 DC02 EF11 GA02 GA04 GA05 GA15 GA20 GA29 HA01 HA05 JA07 LA13 KB05 KC01 KC11 KD03 KD06	

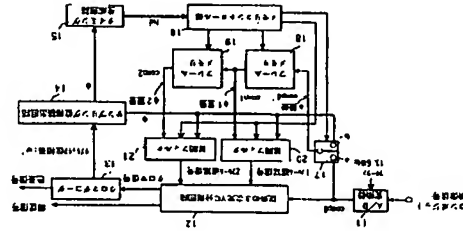
(54) [発明の名称] YC分離回路

(57) [要約]

【課題】入力コンポジット映像信号のバースト信号に位相同期していないクロックを用いた場合は、正確なYC分離ができない。

【解決手段】映像の動きに応じて適応的にYC分離を行う。動き速度3次元YC分離回路において、1フレーム遅延、2フレーム遅延の制御を1クロック単位の遅延制御と1クロック未満の遅延制御(位相補正)とに分けて考え、(1)入力信号のサブキャリア位相を基準に生成したhd信号を用いたフレームメモリ制御による1クロック単位の遅延制御と、(2)入力信号、1フレーム遅延信号、および2フレーム遅延信号のサンプリング位相検出結果を基準とした補間フィルタ20、21による1クロック未満の位相補正を行う。これにより、フリーランで発生されたクロックであっても、入力コンポジット映像信号に位相同期した1フレーム遅延信号及び2フレーム遅延信号を生成できる。

【選択図】 図1



【特許請求の範囲】

【請求項1】

クロックによりサンプリングされたコンポジット映像信号を、外部から入力された1フレーム遅延信号と2フレーム遅延信号に基づいて映像の動きに応じた適応的なYC分離を行う。遅延信号とクロック信号を出力するYC分離回路と、前記YC分離回路から出力された前記クロック信号をデコードして色差信号を得ると共に、前記クロックによるサンプリング周波数と前記デコードからの前記サブキャリアの位相値とに基づいて、サンプリング位相情報を検出するサンプリング位相検出手段と、前記コンポジット映像信号と前記サンプリング位相情報とが時系列的に合成された合成信号を入力として受け、1フレーム遅延された第1の合成信号と2フレーム遅延された第2の合成信号とを、メモリを用いて出力する遅延手段と、前記サンプリング位相検出手段からのサンプリング位相情報と前記第1の合成信号とが入力され、前記第1の合成信号から抽出した第1のサンプリング位相情報を、前記サンプリング位相検出手段からのサンプリング位相情報に合わせるようにフィルタ伝達関数が制御され、前記第1の合成信号中のコンポジット映像信号をフィルタ出力する第1の補間フィルタ手段と、前記サンプリング位相検出手段からのサンプリング位相情報と前記第2の合成信号とが入力され、前記第2の合成信号から抽出した第2のサンプリング位相情報を、前記サンプリング位相検出手段からのサンプリング位相情報に合わせるようにフィルタ伝達関数が制御され、前記第2の合成信号中のコンポジット映像信号をフィルタ出力する第2の補間フィルタ手段と、前記サンプリング位相検出手段からのサンプリング位相情報と前記第1の合成信号とで所定期間毎に1回所定検理値となるタイミング信号を生成し、このタイミング信号に基づき前記遅延手段に対して1クロック単位の遅延制御を行う制御手段と、前記第1の補間フィルタ手段及び前記第2の補間フィルタ手段のそれぞれより、前記1フレーム遅延信号と2フレーム遅延信号を出力することを特徴とするYC分離回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はYC分離回路に係り、特にディジタル処理によりNTSCコンポジット映像信号から輝度信号と搬送色信号(クロマ信号)に分離するディジタルビデオ機器における3次元YC分離回路に関する。

【0002】

【従来の技術】

図8は従来のYC分離回路の一例の回路系統図を示す。NTSC方式のコンポジット映像信号は、周知のように、ベースバンド帯の輝度信号の高周波数領域に、周波数fscのサブキャリアを2種類の色信号で平衡変調して得られた搬送色信号(以下、クロマ信号といふ)が帯域共有重畳された信号であり、例えば記録処理などの際に輝度信号とクロマ信号がYC分離回路により分離されて、それぞれ別々の信号処理がされる。

【0003】

【0004】

図8において、NTSC方式のコンポジット映像信号は、A/D変換器(ADコンバータ)31に供給され、ここで入力コンポジット映像信号のカラースト信号に位相同期した周波数fsc(fsc:サブキャリア周波数)のクロックでサンプリングされてコンポジット映像データとされた後、2次元YC分離回路32に供給されて公知のラインメモリを用いた方法によりクロマ信号が分離された後スイッチ回路37の端子aに入力される。

【0004】

また、これと同時にA/D変換器31から出力されたコンポジット映像データは、減算器

33に供給され、ここでフレームメモリ34により1フレーム遅延されたコンボジット映像データと減算され、フレーム同期のくし型フィルタ特性によりクロマ信号が1/2にされ、減算器33から取り出されたクロマ信号は、レベル調整器36により振幅が1/2にされた後スイッチ回路37の端子bに供給される。また、フレームメモリ34により1フレーム遅延されたコンボジット映像データは、フレームメモリ35により更に1フレーム遅延された後、動き検出回路38に供給される。

【0005】  
動き検出回路38は、A/D変換器31から出力されたコンボジット映像データと、フレームメモリ34から出力された1フレーム遅延コンボジット映像データと、フレームメモリ35から出力された2フレーム遅延コンボジット映像データをそれぞれ入力として受け、それらと比較して動きの有無を検出し、動きがあるときには、スイッチ回路37を端子a側に接続して2次元YC分離回路32からのクロマ信号を選択させ、動きが殆ど無いときにはスイッチ回路37を端子b側に接続してレベル調整器36からのクロマ信号を選択させる。

【0006】  
スイッチ回路37はクロマ信号を出力すると共に、減算器39に供給し、A/D変換器31からのコンボジット映像データからクロマ信号を減算させて輝度信号を減算器39から分離出力させる。

【0007】  
ここで、NTSC規格に準拠したコンボジット映像信号をカラーバースト信号に位相同期した4fscクロックでサンプリングした場合、このクロック信号周波数は  

$$4fsc = 4 \times (455/2) \times fh = 910 \cdot fh \quad (fh: \text{水平走査周波数})$$
(1)

であり、1フレーム遅延信号を得るには、525本の水平走査線分遅延する必要があるの  
で、次の遅延量が必要となる。

【0008】  

$$910 [T/Line] \times 525 [Line/Frame] = 477750 [T/Framme] \quad (2)$$
ただし、(2)式中Tはサンプリング周期、すなわち、 $1/(4fsc)$ である。すなわち、1フレーム遅延信号を得るには、(2)式より477750Tの遅延により実現できる。

【0009】  
【発明が解決しようとする課題】  
ところで、D-VHS(登録商標)やDVC(家庭用ディジタルVTR)などのディジタルビデオ機器においては、クロックとして入力信号とは関係のないフリーランで発生させた13.5MHzが用いられている。このクロックを図8に示した上記の従来のYC分離回路のサンプリング用クロックとして用いた場合、13.5MHzはNTSC方式の水平走査周波数fhの858倍の周波数であるが、クロックがコンボジット映像信号にロックしていない(クロック周波数が正確に入力コンボジット映像信号のfhの858倍であるとは限らない)ため、1フレーム遅延信号を得るために、525本の水平走査線分遅延するべく、次式

$$858 \times 525 = 450450T' \quad (T': \text{サンプリング周期}, 1/13.5MHz)$$
(3)  
で表される450450T'の固定クロック数の遅延をしても、1フレーム遅延信号を得ることができない。

【0010】  
例えば、入力コンボジット映像信号の1H(H:水平走査期間)の時間が858.1T(116.55ppmのずれ)であるとするとき、1フレーム遅延信号を得るには、  

$$858.1 \times 525 = 450502.5T' \quad (4)$$
の遅延が必要になる。従って、1フレーム遅延信号を得るために、450450T'の固

定遅延にしてしまうと、図8に示した従来のYC分離回路では正常な3次元YC分離動作はできなくなってしまう。

【0011】  
本発明は、上記の点に鑑みなされたもので、入力コンボジット映像信号のバースト信号に位相同期していないクロックを用いた場合にも、正確に1フレーム遅延信号、2フレーム遅延信号を得ることができ、もって十分な3次元YC分離性能を得ることができるYC分離回路を提供することを目的とする。

【0012】  
【課題を解決するための手段】  
上記の目的を達成するため、本発明は、クロックによりサンプリングされたコンボジット映像信号を、外部から入力された1フレーム遅延信号と2フレーム遅延信号に基づいて映像の動きに応じて適切な遅延なYC分離を行って、輝度信号とクロマ信号を出力するYC分離回路部と、YC分離回路部から出力されたクロマ信号をデコードして色差信号を得ると共に、コンボジット映像信号のサブキャリアの位相値を求めるデコーダと、クロックによるサンプリング周期とデコーダからのサブキャリアの位相値とに基づいて、サンプリング位相情報を検出するサンプリング位相検出手段と、コンボジット映像信号とサンプリング位相情報とが時系列的に合成された合成信号を入力として受け、1フレーム遅延された第1の合成信号と2フレーム遅延された第2の合成信号とを、メモリを用いて出力する遅延手段と、サンプリング位相検出手段からのサンプリング位相情報と第1の合成信号とが入力され、第2の合成信号から抽出した第1のサンプリング位相情報を、サンプリング位相検出手段からのコンボジット映像信号をフィルタ出力する第1の補間フィルタ手段と、サンプリング位相検出手段からのサンプリング位相情報と第2の合成信号とが入力され、第2の合成信号から抽出した第2のサンプリング位相情報を、サンプリング位相検出手段からのコンボジット映像信号をフィルタ出力する第2の補間フィルタ手段と、サンプリング位相検出手段からのサンプリング位相情報と第1の補間フィルタ手段と、第2の補間フィルタ手段とを有し、このタイミング信号に基づき遅延手段に対して1回所定論理値となるタイミング信号を生成し、このタイミング信号に第1の補間フィルタ手段と第2の補間フィルタ手段の遅延制御を行う制御手段とを有し、第1の補間フィルタ手段及び第2の補間フィルタ手段のそれぞれより、1フレーム遅延信号と2フレーム遅延信号を出力する構成としたものである。

【0013】  
この発明では、入力コンボジット映像信号のサブキャリア位相を基に生成したタイミング信号を用いて、メモリによる遅延手段の1クロック単位の遅延制御と、入力コンボジット映像信号、1フレーム遅延信号及び2フレーム遅延信号の、サンプリング位相情報に基づいた第1及び第2の補間フィルタ手段による1クロック未満の位相補正を行うようにしたため、入力コンボジット映像信号をサンプリングするクロックが、入力コンボジット映像信号のカラバースト信号に位相同期していないフリーランで発生されたクロックであっても、入力コンボジット映像信号に位相同期した1フレーム遅延信号及び2フレーム遅延信号を出力することができる。

【0014】  
【発明の実施の形態】  
次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるYC分離回路の一実施の形態のブロック図を示す。本実施の形態では、映像の動きに応じて適切なYC分離を行う、動き遅延3次元YC分離回路において、1フレーム遅延、2フレーム遅延の制御を1クロック単位の遅延制御と1クロック未満の位相補正(位相補正)とに分けて考え、(1)入力信号のサブキャリア位相を基に生成したh1信号を用いたフレームメモリ制御による1クロック単位の遅延制御、(2)入力信号、1フレーム遅延信号、および2フレーム遅延信号のサンプリング位相検出手段を基にした補間フィルタ20、21による1クロック未満の位相補正を行っている。

[0015]

まず、(2)の補間フィルタ20、21による1クロック未満の位相補正について説明する。1クロック未満の位相補正は、現在の信号の位相と1フレーム遅延信号、および2フレーム遅延信号のサンプリング位相との位相差を検出し、その位相差を補間フィルタにより補正することにより行われる。以下にサンプリング位相検出の方法について述べる。

[0016]

図1において、アナログ信号であるNTSC方式コンポジット映像信号は、A/D変換器11に供給され、ここでフリラン中で発生されている13、5MHzのサンプリング用クロックに基づいてデジタル信号であるコンポジット映像データcomp0に変換された後、スイッチ回路17の端子aに入力される一方、従来の3次元YC分離回路12を通して輝度信号とクロマ信号とに分離される。

[0017]

ここで、従来の3次元YC分離回路12は、図8に示した従来のYC分離回路のうち、A/D変換器31、フレームメモリ34及び35を削除した回路構成であり、1フレーム遅延信号及び2フレーム遅延信号は、それぞれ図1の後述する補間フィルタ20、21から供給される。

[0018]

従来の3次元YC分離回路12により分離されたクロマ信号は、クロマデコード13に供給されて、2種類の色差信号にデコードされると共に、サブキャリア位相値 $\psi$ が出力される。

[0019]

図2はクロマデコード13の一実施形態のブロック図を示す。図2に示すように、クロマデコード13は、入力コンポジット映像信号のカラーバースト信号に位相同期したサブキャリア周波数の信号 $\sin\phi$ 、 $\cos\phi$ をROMデータ139から出力して、入力されるクロマ信号に乗算器131及び132でそれぞれ乗算し、その乗算後の信号の高周波成分を低域フィルタ(LPF)133、134で除去することにより、色差信号(B-Y) (R-Y)を生成する。

[0020]

ここで、上記のカラーバースト信号に位相同期したサブキャリア周波数の信号 $\sin\phi$ 、 $\cos\phi$ は、まずサブキャリア位相値 $\phi$ を計算により求め、その位相値 $\phi$ からROMデータ139により正弦波、余弦波を参照することによって得られる。すなわち、図2において、LPF134から取り出された色差信号(R-Y)は、エラー遅延回路135に供給され、ここでバースト期間のエラー量が検出される。これは、色差信号(R-Y)のバースト期間の振幅は本来ゼロであるので、この信号振幅がゼロからどれだけずれているかによりエラー量が検出される。なお、バースト期間以外に映像信号をデコードした信号であり、エラー検出ができないので、バースト期間以外ではエラー量を0としている。

[0021]

エラー量検出回路135から出力された検出エラー量は、加算器136において1クロック遅延回路138からの後述の信号 $\phi'$ と加算され、更に加算器137で一定量 $\Delta\theta$ を加算された後、1クロック遅延回路138に供給される。1クロック遅延回路138から出力されたサブキャリア位相値 $\phi$ は、ROMデータ139のアドレス端子に入力され、そのサブキャリア位相値 $\phi$ に応じた $\sin\phi$ 、 $\cos\phi$ の信号をROMデータ139から出力される。なお、加算器136では1クロック毎にエラー信号が加算され、加算器137では1クロック毎に $\Delta\theta$ が加算されるため、加算器136及び137と1クロック遅延回路138により形成されるループで、これらの信号の累積が行われる。

[0022]

ここで、サブキャリアの位相を表す位相値 $\phi$ のMSB側にさらに8ビット拡張した場合(これを上記の $\phi'$ とする)を考えると、この時の上位8ビットはサブキャリアの1周期で1カウントアップするサブキャリアカウンタとなる。サブキャリア周波数 $f_{sc}$ と水平走査

50

周波数 $f_h$ には

$$f_{sc} = (455/2) \cdot f_h \quad (5)$$

の関係があるので、クロックと入力信号が同期している場合には、1H(Hは水平走査期間)で $\phi'$ は227.5(デジタル値:1110001110000000)・(上位8ビットが整数部)カウントアップする。入力信号とクロックが同期していない場合は、227.5からずれた値になる。

[0023]

ここで、上記の1クロック遅延回路138から出力されたサブキャリア位相値 $\phi$ に、上位8ビットが付加された信号 $\phi'$ は、図1のサンプリング位相検出回路14に供給され、ここで1H毎に求められる $\phi'$ の227.5からのずれ量が入力信号のサンプリング位相 $\phi$ として検出される。

[0024]

図3にサンプリング時刻とサブキャリア位相値 $\phi' = 227.5$ 付近の位相値の様子を示す。図中、 $\phi'$ 、 $t_h$ はサンプリング位相検出基準値227.5であり、 $\phi'$ 、 $A$ 、 $\phi'$ 、 $B$ はクロックのサンプリング周期の間隔で、 $\phi'$ 、 $A < \phi'$ 、 $t_h \leq \phi'$ 、 $B$ を満たすサンプリング値である。

[0025]

このサンプリング部がバースト期間以外の場合は、前述のようにエラー量を0としているので、サンプリング時刻対サブキャリア位相値は直線(傾き: $\Delta\theta/T$ )になる。図3において、 $\phi'$ 、 $A$ のサンプリング時刻から $\phi'$ 、 $t_h$ を挿入するまでの時間 $\Delta t$ を求めると、 $\Delta t = (\phi' - t_h - \phi' A) / (\phi' - \phi' A) \cdot T \quad (6)$ となる。(6)式の両辺をサンプリング周期 $T$ で除算すると次式が得られる。

[0026]

$$\Delta t / T = (\phi' - t_h - \phi' A) / (\phi' - \phi' A) \quad (7)$$

(7)式の $\Delta t / T = 0 < \Delta t / T \leq 1$ であり、これをこの信号のサンプリング位相 $\phi$ と定義する。サンプリング位相検出回路14は、このサンプリング位相 $\phi$ を(7)式に基づいて算出して出力する。

[0027]

次に、サンプリング位相検出結果を基に、1クロック未満の位相補正を行う方法について説明する。

[0028]

1クロック未満の位相補正は、1フレーム遅延信号comp1のサンプリング位相 $\phi_1$ 、及び2フレーム遅延信号comp2のサンプリング位相 $\phi_2$ を現在の信号comp0のサンプリング位相 $\phi$ に合わせるにより行う。現在の信号comp0のサンプリング位相 $\phi$ の検出結果は、図1において、サンプリング位相検出回路14から補間フィルタ20、補間フィルタ21にそれぞれ供給されると共に、スイッチ回路17の端子bにも供給される。

[0029]

位相検出は1Hにつき1回行われ、メモリコントローラ部16より出力される制御信号に基づき、位相情報信号コンポジット信号comp0に重畳する。スイッチ回路17は通常は端子a側に接続されており、位相情報の重畳時にメモリコントローラ部16からの制御信号により端子b側に切換接続される。スイッチ回路17が端子bに接続されている時間は、1T以上で画像に影響のない範囲である。

[0030]

この信号量は画像に影響のない有効画面上で行われる。スイッチ回路17からはコンポジット信号comp0又はサンプリング位相検出回路14で検出されたサンプリング位相 $\phi$ が取り出されてフレームメモリ18に供給され、ここで1フレーム遅延されて1フレーム遅延信号comp1及びサブサンプリング位相 $\phi_1$ が出力された後、フレームメモリ19に供給されて更に1フレーム遅延されて2フレーム遅延信号comp2及びサブサンプリング位相 $\phi_2$ が出力される。

50

[0031]

補間フィルタ20は、フレームメモリ18から1フレーム遅延信号comp1及びサンプリング位相 $\phi 1$ が入力され、また、補間フィルタ21は、フレームメモリ19から2フレーム遅延信号comp2及びサンプリング位相 $\phi 2$ が入力され、それぞれメモリコントローラ部16より出力される制御信号に基づき、重畳された位相情報(サンプリング位相 $\phi 1$ 、 $\phi 2$ )を抽出する。補間フィルタ20、21は、更にサンプリング位相抽出回路14より出力されるサンプリング位相と、抽出されたサンプリング位相 $\phi 1$ 、 $\phi 2$ を基にフィルタの伝達関数を制御する。

[0032]

補間フィルタ20の場合、comp0のサブキャリア位相値を $\phi' A$ 、 $\phi' B$ 、comp1のサブキャリア位相値を $\phi' A1$ 、 $\phi' B1$ とすると、comp1のサンプリング位相値をcomp0のサンプリング位相値に含ませるには、 $\phi' A1$ と $\phi' B1$ より $\phi' A$ または $\phi' B$ を求めればよく、補間フィルタ20により求めるポイントの補正位相 $\phi_{c1}$ は、サンプリング時刻対サブキャリア位相 $\phi 1 \geq \phi$ のときは図4(a)に、また $\phi 1 < \phi$ のときは図4(b)に示される。これらより次式に基づいて算出される。

[0033]

[数1]

$$\phi_{c1} \cdot T = \begin{cases} \phi 1 \cdot T - \phi \cdot T & (\phi 1 \geq \phi \text{ の時}) \\ T - (\phi \cdot T - \phi 1 \cdot T) & (\phi 1 < \phi \text{ の時}) \end{cases} \quad (8)$$

より

$$\phi_{c1} = \begin{cases} \phi 1 - \phi & (\phi 1 \geq \phi \text{ の時}) \\ \phi 1 - \phi + 1 & (\phi 1 < \phi \text{ の時}) \end{cases} \quad (9)$$

となる。同様、補間フィルタ21での補正位相 $\phi_{c2}$ は次式で表される。

[0034]

[数2]

$$\phi_{c2} = \begin{cases} \phi 2 - \phi & (\phi 2 \geq \phi \text{ の時}) \\ \phi 2 - \phi + 1 & (\phi 2 < \phi \text{ の時}) \end{cases} \quad (10)$$

[0035]

サンプリング位相 $\phi$ は無限値の値を取り得るが、デジタル信号処理を行う場合には、これを有限の値に制限する必要がある。ここでは一例として、1クロック内を $1/8$ の精度で位相抽出する場合について説明する。この場合、補正位相は $0.125$ 、 $0.25$ 、 $0.375$ 、 $0.5$ 、 $0.625$ 、 $0.75$ 、 $0.875$ の7通りとなる。

[0036]

次に、補間フィルタ20、21について説明する。補間フィルタ20、21によって位相補正を行うには、抽出された補正位相に応じて補間フィルタ20、21の伝達関数を選択すればよい。補間フィルタ20、21の一例として、フィルタ20、21の補正位相がサンプリングの中間点(0.5)のときには、5タップのフィルタ(伝達関数 $G(z)$ )の(11)式及び(15)式で表される伝達関数 $H4(z)$ を選択し、さらにその中間点(0.25、0.75)の時に4タップのフィルタ、さらにその中間点(0.125、0.375、0.625、0.875)の時に直線補間を用いた場合のフィルタの伝達関数 $H1(z)$ 、 $H2(z)$ 、 $\dots$ 、 $H7(z)$ を(12)式～(18)式に示す。

[0037]

$$\begin{aligned} G(z) &= 39/64 (z^{-2} + z^{-3}) - 9/64 (z^{-1} + z^{-4}) + 2/64 (1 + z^{-5}) & (11) \\ 0.125 : H1(z) &= 1/2 (H2(z) + z^{-4}) & (12) \\ 0.25 : H2(z) &= 9/16 (G(z) z^{-1} + z^{-4}) - 1/16 (z^{-2} + G(z) z^{-3}) & (13) \\ 0.375 : H3(z) &= 1/2 (H2(z) + H4(z)) & (14) \\ 0.5 : H4(z) &= G(z) z^{-1} & (15) \\ 0.625 : H5(z) &= 1/2 (H4(z) + H6(z)) & (16) \\ 0.75 : H6(z) &= 9/16 (z^{-3} + G(z) z^{-1}) - 1/16 (G(z) + z^{-4}) & (17) \\ 0.875 : H7(z) &= 1/2 (z^{-3} + H6(z)) & (18) \end{aligned}$$

[0038]

上記の伝達関数 $H1(z)$ 、 $H2(z)$ 、 $\dots$ 、 $H7(z)$ のときの周波数特性は、図5に示される。このような伝達関数に制御される補間フィルタ20、21から1クロック未満の位相補正された1フレーム遅延信号がジッタ映像信号、2フレーム遅延映像信号が出力される。

[0039]

次に、前記(1)のhd信号を用いたフレームメモリ制御による1クロック単位の遅延制御について説明する。上記のhd信号は、図1のサンプリング位相抽出回路14から出力されたサンプリング位相 $\phi$ を入力として受けるタイミミング生成回路15により生成された、1Hに1回ハイレベルとなるタイミミング信号であり、このタイミミング信号hdに基づいて、メモリコントローラ部16がフレームメモリ18、19の読み出し/書き込み動作を制御する制御信号を発生する。

[0040]

ここで、1クロック単位で正確な1フレーム遅延信号、2フレーム遅延信号を補間フィルタ20、21により得るには、タイミミング信号hdは前記(2)のサンプリング位相抽出の基調と同じ基調から発生されなければならない。そこで、図4においてサブキャリア位相 $\phi$ 、Bとなるタイミミング(あるいはそれを適宜遅延させたタイミミング)で1Hにつき一回ハイレベルとなるタイミミング信号hdをタイミミング生成回路15が生成する。

[0041]

1クロック単位での1フレーム遅延制御を行うには、1フレーム $\Delta = 525H$ であるので、図6のようにhd(m)のタイミミングで、図1の第1のフレームメモリ18へのライティングの書き込みを開始した信号(comp0')を、hd(m+525)のタイミミングでcomp1として読み出すことにより実現している。同様、2フレーム遅延信号を得るには、このフレームメモリ18からhd(m+525)のタイミミングで読み出された信号comp1を、さらに図1の第2のフレームメモリ19に書き込み、その後hd(m+1050)のタイミミングでフレームメモリ19からcomp2として読み出すことにより実現している。

[0042]

また、メモリの使用効率向上のために、信号のプランキン部でフレームメモリ18、19の読み書きを止め、図7に示すようにhdから同じ遅延時間後(nT)のタイミミングでフレームメモリ18、19への書き込み、フレームメモリ18、19からの読み出しを開始する。

[0043]

なお、本発明は以上の実施の形態に限定されるものではなく、例えば、サンプリング用クロック周波数は13.5MHzではなく、2倍の27MHzやその他のサンプリング周波数においても本発明は適用可能である。また、位相検出の精度も1/8でなく、さらに1/16、1/32など高精度にすることにより、回路規模は大きくなるが、さらに性能の良い3次元YC分離が可能である。

【0044】

【発明の効果】

以上説明したように、本発明によれば、入力コンボジット映像信号をサンプリングするクロックが、入力コンボジット映像信号のカラーバースト信号に位相同期していないフリーランで発生されたクロックであっても、入力コンボジット映像信号に位相同期した1フレーム遅延信号及び2フレーム遅延信号を生成できるようにしたため、フリーランクロックを用いた場合にも十分な性能の3次元YC分離を行うことができる。

【0045】

また、本発明によれば、1フレーム遅延信号、2フレーム遅延信号のサンプリング位相を現在の信号のサンプリング位相に合わせるように、1フレーム遅延信号、2フレーム遅延信号を補間する構成としており、その際映像の動画部では現在の信号のみを用いる2次元YC分離回路（図8の2次元YC分離回路32に相当する回路）の出力信号が3次元YC分離回路の出力信号となり、補間信号を用いない。従って、カラーバースト信号に位相同期した周波数4150kHzのクロックによりA/D変換されたコンボジット信号を13.5MHzのクロックで再サンプリング（補間回路が必要）したコンボジット信号を入力とする構成とした3次元YC分離回路と比較した場合に、本発明では映像の動画部における補間処理が行われないため、特に動画部においてより正確なYC分離ができる。

【図面の簡単な説明】

【図1】本発明のYC分離回路の一実施の形態のブロック図である。

【図2】図1中のクロマデコーダの一実施の形態のブロック図である。

【図3】図1におけるサンプリング時刻対サブキャリア位相値φを示す図である。

【図4】図1におけるサンプリング時刻対サブキャリア位相（comp0、comp1）を示す図である。

【図5】各伝達関数における周波数特性図である。

【図6】図1のフレームメモリ書き込み読み出しタイミング図（1）である。

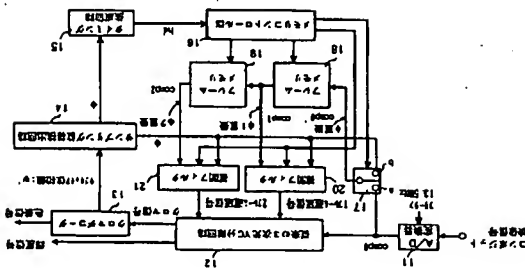
【図7】図1のフレームメモリ書き込み読み出しタイミング図（2）である。

【図8】従来のYC分離回路の一例の回路系統図である。

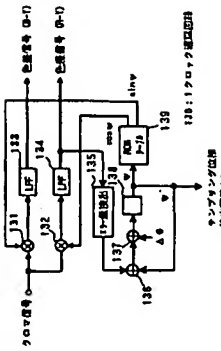
【符号の説明】

- 11 A/D変換器
- 12 従来の3次元YC分離回路
- 13 クロマデコーダ
- 14 サンプリング位相検出回路
- 15 タイミング生成回路
- 16 メモリコントロール部
- 17 スイッチ回路
- 18、19 フレームメモリ
- 20、21 補間フィルタ
- 131、132 乗算器
- 133、134 低域フィルタ（LPPF）
- 135 エラー重畳回路
- 136、137 加算器
- 138 1クロック遅延回路
- 139 ROMテーブル

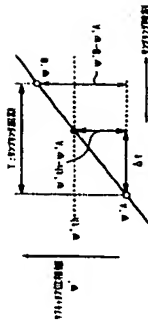
【図1】



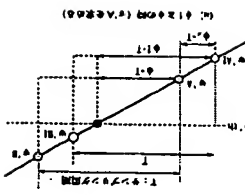
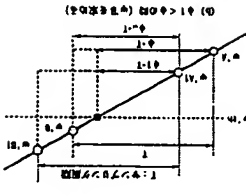
【図2】



【図3】

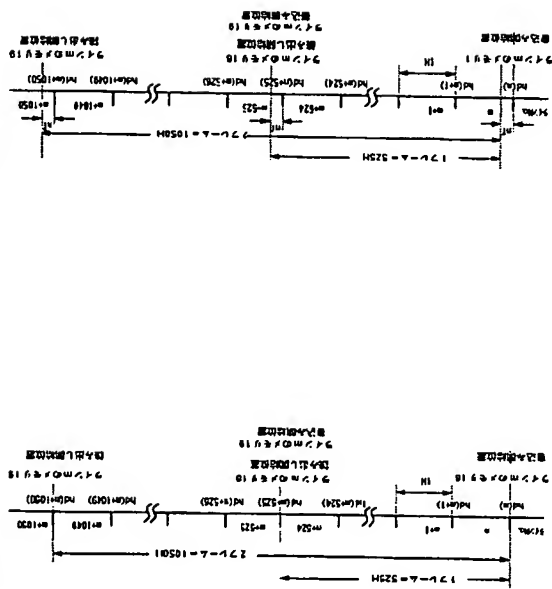


【図4】

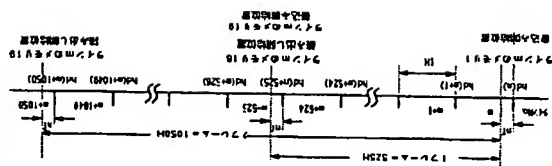


(11)

[ 図 6 ]



[ 図 7 ]



[ 図 8 ]

